

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314356

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H03G 3/20

H04B 1/16

(21)Application number : 2001-112164

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.04.2001

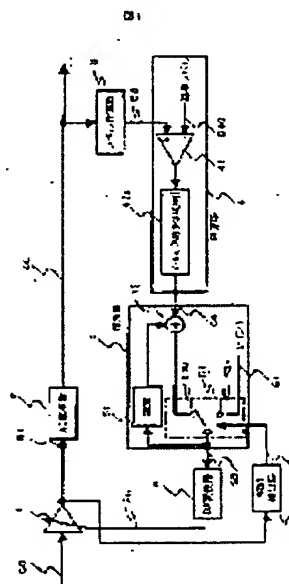
(72)Inventor : SHIDA MASAOKI
KOKUBO MASARU
ENDO TAKEFUMI
OSAKI KATSUMI

(54) AUTOMATIC GAIN CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an automatic gain control circuit in which improvement of communication efficiency can be expected by shortening convergence time until the output reaches a prescribed level.

SOLUTION: A saturation detector 7 for detecting the existence/non-existence of output saturation of an amplifier 1 for amplifying an input signal is provided to control the gain of the amplifier 1. The amplifier 1 for the input signal S0, an AD converter 2 for converting an output S2 of the amplifier 1 into a digital signal, the saturation detector 7 for detecting the existence/non-existence of the saturation of the output S1 of the amplifier 1, a level calculator 3 for calculating the amplitude of the output S2 of the AD converter 2, an arithmetic unit 4 for calculating gain control quantity defined from an output S3 of the level calculator 3, a preset reference level S40 and a preset gain A, and an integrator 5 for integrating an output S4 of the arithmetic unit 4 are provided so as to control the gain of the amplifier 1 on the basis of an output S5 of the integrator 5 and an output of the saturation detector 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2002-314356

(P2002-314356A)

(43)公開日 平成14年10月25日(2002.10.25)

(51) Int.Cl.⁷

識別記号

FI

テ-73-1* (参考)

H03G 3/20

H03G 3/20

C 5 J 1 0 0

H04B 1/16

H04B 1/16

R

審査請求 未請求 請求項の数 5 O.L (全 12 頁)

(21)出願番号 特願2001-112164(P2001-112164)

(22)出願日 平成13年4月11日(2001.4.11)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 志田 雅昭

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 小久保 優

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外2名)

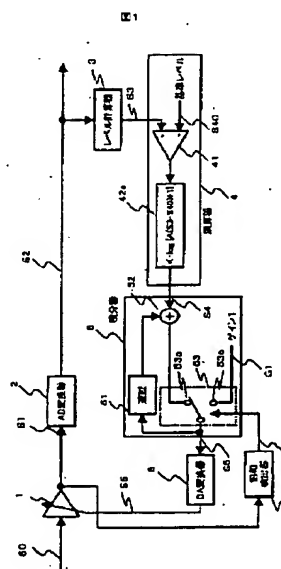
最終頁に続く

(54)【発明の名称】 自動利得制御回路

(57) 【要約】

【課題】その出力値が所定のレベルになるまでの収束時間を短縮化し、通信効率の向上が期待できる自動利得制御回路を提供する。

【解決手段】入力信号を増幅する増幅器１の出力の飽和の有無を検出する飽和検出器７を設け、増幅器１の利得を制御するよう構成する。入力信号Ｓ０を増幅する増幅器１と、前記増幅器の出力Ｓ２をデジタル信号に変換するＡＤ変換器２と、前記増幅器１の出力Ｓ１の飽和の有無を検出する飽和検出器１と、前記ＡＤ変換器２出力Ｓ２の振幅を計算するレベル計算器３と、前記レベル計算機３の出力Ｓ３と予め設定した基準レベルＳ４０と予め設定したゲインＡとから定義される利得制御量を求める演算器４と、前記演算器４の出力Ｓ４を積分する積分器５とを備え、前記積分器５の出力Ｓ５と前記飽和検出器７の出力に基づいて前記増幅器１の利得を制御するよう構成する。



【特許請求の範囲】

【請求項1】入力信号を増幅する増幅器を有し、前記増幅器の出力の振幅レベルと基準利得レベルとの差が所定の値以下に収束するまで制御する利得制御ループを備えた自動利得制御回路であって、前記増幅器の出力の飽和の有無を検出することにより、前記増幅器の利得を制御するよう構成したことを特徴とする自動利得制御回路。

【請求項2】少なくとも一つの増幅器で構成され、入力信号を増幅する増幅手段と、前記増幅手段の出力をデジタル信号に変換するAD変換器と、前記少なくとも一つの増幅器に接続され前記増幅器の出力の飽和の有無を検出する飽和検出器を少なくとも一つ有する飽和検出手段と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記振幅と予め設定した基準レベルとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力と前記飽和検出手段の出力とに基づいて前記増幅手段の利得を制御するよう構成したことを特徴とする自動利得制御回路。

【請求項3】入力信号を増幅する増幅器と、前記増幅器の出力をデジタル信号に変換するAD変換器と、前記増幅器の出力の飽和の有無を検出する飽和検出器と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記飽和検出器の出力に応じて予め設定したレベルの異なる複数のゲインの一つを選択する手段と、前記振幅と予め設定した基準レベルと前記飽和検出器の出力に応じて選択されたゲインとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力に基づいて前記増幅器の利得を制御するよう構成したことを特徴とする自動利得制御回路。

【請求項4】入力信号を増幅する増幅器と、前記増幅器の出力をデジタル信号に変換するAD変換器と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記レベル計算器の出力と予め設定された飽和検出レベルとを比較する飽和検出器と、前記振幅と予め設定した基準レベルとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力と前記飽和検出器の出力とに基づいて前記増幅器の利得を制御するよう構成したことを特徴とする自動利得制御回路。

【請求項5】入力信号を増幅する増幅手段と、前記増幅手段の出力をデジタル信号に変換するAD変換器と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記レベル計算器の出力と予め設定された飽和検出レベルとを比較する飽和検出器と、前記飽和検出器の出力に応じて予め設定したレベルの異なる複数のゲインの一つを選択する手段と、前記振幅と予め設定した基準レベルと前記飽和検出器の出力に応じて選択されたゲインとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力に基づいて前記増幅手段の利得を制御するよう構成したことを特徴

とする自動利得制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号振幅レベルを制御し、所定のレベルにする自動利得制御回路に係り、特に無線通信装置の受信系のようなシステムに用いられる自動利得制御回路に関する。

【0002】

【従来の技術】図2は、特許第3029361号「自動利得制御回路」に記載されている従来の自動利得制御回路の一例である。この自動利得制御回路は、レベル変動幅が大きい入力信号に対して増幅器の利得を制御することによって該増幅器の出力レベルを一定に保持するものである。

【0003】図2においては、入力されたアナログ信号S0を増幅器1で増幅し、AD変換器2でデジタル信号S2に変換し、レベル計算手段30で増幅器1の出力の振幅を計算し、その出力S30を対数変換して出力する対数変換手段31と、前記対数変換手段31の出力S31とあらかじめ設定された基準レベルS40との差を計算する差分器41と、前記差分器41で計算した差の値S41と第1の定数 $\beta 1$ とを乗算した値と、前記S41と第2の定数 $\beta 2$ とを乗算した値の積分値とを加算して出力するループフィルタ100と、前記ループフィルタ100の出力S100を積分する積分器5と、前記積分器5の出力S5をアナログ値S6に変換するDA変換器6とを有し、前記DA変換器6の出力S6に基づいて、前記増幅器1の利得を制御する。

【0004】上記に示すように、従来の自動利得制御回路では、対数変換手段を用いて入力信号のレベル変動幅が大きい場合にも対応することができる。

【0005】無線通信においては、送受信間の距離によって受信側の受信信号レベルが大きく異なる。このような無線通信機の受信系に上記のような従来の自動利得制御回路を用いることで、入力信号の利得を変えて信号レベルをAD変換器のダイナミックレンジ内に収めることが可能となる。

【0006】

【発明が解決しようとする課題】一方、通信機間でデータの授受を行う場合、通信効率を上げるためにデータの送受に寄与しないオーバーヘッドは極力短い方が望ましい。例えば、無線LANのように複数の無線機間で間欠的に無線信号の送受を行う場合、前記オーバーヘッドの増加によりシステム全体のスループットが減少することとなる。

【0007】前記無線LANのような間欠的に通信を行う装置に従来の自動利得制御回路を受信系に用いた場合、自動利得制御回路の出力値が所定のレベルになるまでの収束時間が長いという課題を有していた。

【0008】本発明は、上記の点に鑑みてなされたもの

であり、上記出力値が所定のレベルになるまでの収束時間を短縮化し、通信効率の向上が期待できる自動利得制御回路を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明では、入力信号を増幅する増幅手段の出力の飽和の有無を検出する飽和検出手段を設け、増幅手段の利得を制御するよう構成する。

【0010】すなわち、本発明は、入力信号を増幅する増幅器を有し、前記増幅器の出力の振幅レベルと基準利得レベルとの差が所定の値以下に収束するまで制御する利得制御ループを備えた自動利得制御回路であって、前記増幅器の出力の飽和の有無を検出することにより、前記増幅器の利得を制御するよう構成したことを特徴とする自動利得制御回路を提供する。

【0011】また、本発明は、少なくとも一つの増幅器で構成され、入力信号を増幅する増幅手段と、前記増幅手段の出力をデジタル信号に変換するAD変換器と、前記少なくとも一つの増幅器に接続され前記増幅器の出力の飽和の有無を検出する飽和検出器を少なくとも一つ有する飽和検出手段と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記振幅と予め設定した基準レベルとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力と前記飽和検出手段の出力とに基づいて前記増幅手段の利得を制御するよう構成した自動利得制御回路を提供する。

【0012】また、本発明は、入力信号を増幅する増幅器と、前記増幅器の出力をデジタル信号に変換するAD変換器と、前記増幅器の出力の飽和の有無を検出する飽和検出器と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記飽和検出器の出力に応じて、予め設定したレベルの異なる複数のゲインの一つを選択する手段と、前記振幅と予め設定した基準レベルと前記飽和検出器の出力に応じて選択されたゲインとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力に基づいて前記増幅器の利得を制御するよう構成した自動利得制御回路を提供する。

【0013】さらに、本発明は、入力信号を増幅する増幅器と、前記増幅器の出力をデジタル信号に変換するAD変換器と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記レベル計算器の出力と予め設定された飽和検出レベルとを比較する飽和検出器と、前記振幅と予め設定した基準レベルとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力と前記飽和検出器の出力とに基づいて前記増幅器の利得を制御するよう構成した自動利得制御回路を提供する。

【0014】さらにまた、本発明は、入力信号を増幅す

る増幅手段と、前記増幅手段の出力をデジタル信号に変換するAD変換器と、前記AD変換器の出力の振幅を計算するレベル計算器と、前記レベル計算器の出力と予め設定された飽和検出レベルとを比較する飽和検出器と、前記飽和検出器の出力に応じて予め設定したレベルの異なる複数のゲインの一つを選択する手段と、前記振幅と予め設定した基準レベルと前記飽和検出器の出力に応じて選択されたゲインとを基に利得制御量を求める演算器と、前記演算器の出力を積分する積分器とを備え、前記積分器の出力に基づいて前記増幅手段の利得を制御するよう構成した自動利得制御回路を提供する。

【0015】

【発明の実施の形態】以下、本発明の実施例を、図を用いて説明する。

【0016】図1に、本発明の第1の実施例になる自動利得制御回路を示す。自動利得制御回路は、入力信号S0を増幅する増幅器1と、増幅器1が出力するアナログ信号S1をデジタル信号S2に変換するAD変換器2と、AD変換器2が出力するデジタル信号S2から振幅レベルを計算するレベル計算器3と、レベル計算器3の出力S3と所定の基準レベルS40との差をとり、その差に所定のゲインAを掛け合わせた値に1を加算した値を対数変換し、所定の係数Kを掛け合わせて利得制御量を求める演算器4と、演算器4の出力S4を積分する積分器5と、積分器5の出力S5をアナログ信号S6に変換するDA変換器6とから構成される。DA変換器6の出力S6により増幅器1の利得が制御される。

【0017】入力信号S0が無信号時の場合、例えば無線機器において受信信号がない場合では自動利得制御回路は、自動的に増幅器1の利得が最大になるよう動作する。これは入力信号が所定のレベルになるよう自動利得制御回路が動作するために、増幅器1の利得を最大としても所定のレベルに達することができないため、無信号時には利得手段1の利得は、常に最大値で固定される。

【0018】このS0に信号が入力された時、次の2つの場合のどちらかとなる。すなわち、入力信号のレベルが小さく増幅器1が飽和しない場合C1と、入力レベルが大きく増幅器1が飽和する場合C2である。増幅器1の出力S1は、飽和検出器7に入力され、増幅器1が飽和したか否かは検出器7が判断する。検出器7は、例えば振幅がある値を超えたかどうかを判定するコンパレータから構成されることで実現可能である。

【0019】C1の場合では、検出器7は増幅器1の飽和を検出せずに、検出器7の出力S7aによって切り替え器53を加算器側53aに接続する。これにより通常の自動利得制御ループによりレベル計算器3の出力S3と基準レベルS40との差が所定の値以下に収束するまで増幅器1の利得が制御される。

【0020】C2の場合では、検出器7は増幅器1の飽和を検出し、検出器7の出力S7aによって切り替え器

53はゲイン1 (G1) 側53bに接続され、これにより増幅器1の利得を大きく減じることが可能となる。

【0021】図3に、図1に示した本発明の第1の実施例における飽和検出器7の動作の詳細を示す。図3では、増幅器1線形増幅範囲110とAD変換器2のダイナミックレンジ111を示してあり、増幅器1の線形増幅範囲110よりAD変換器2のダイナミックレンジが狭い場合を示している。

【0022】図3 (a) は、入力信号S0が小さく、S1、S2共に飽和しない場合を示している。この場合は、入力信号に対する利得制御量が少なく、レベル計算器3の出力S3と基準レベルS40との差が所定の値以下に収束するまでの時間は短く特に問題とならない。図3 (b) は、入力信号S0のレベルが同図 (a) と比較して大きい、S1は飽和せずにS2が飽和している場合を示している。また、図3 (c) は、入力信号S0のレベルが同図 (b) より更に大きくS1が既に飽和している場合を示す。この時S2も飽和している。

【0023】ここで (b) と (c) のS2を比較すると同じ波形となる。したがって、レベル計算器3以降は同じ値をとることとなり、利得制御量が同じとなる。

(b) と比較して (c) の場合の方が利得制御量を多く必要としているにも関わらず、利得制御量が同じとなるため、(c) の場合では (a) や (b) と比較して利得制御が収束するまでに時間がかかることとなる。

【0024】そこで、(c) の場合のように増幅器1の出力S1の飽和の有無を飽和検出器7で検出し、利得制御量を通常の利得制御ループによる利得制御量よりも大きくすることで収束時間の短縮を実現する。

【0025】図4に、本発明の第2の実施例を示す。増幅器1が4段の増幅器11a、11b、12a、12bから構成されている。通常無線機器に用いられる自動利得制御回路では、入力信号のダイナミックレンジが広い、それに対応するために広い利得制御範囲が要求される。そのため、自動利得制御回路の増幅器1は通常複数の増幅器から構成される。本実施例では、増幅器11aおよび11bの出力信号S11a、S11bがそれぞれ飽和検出器7a、7bに接続されている。飽和検出器7a、7bは、それぞれS11a、S11bの飽和の有無を検出する。

【0026】切替制御器8は、積分器5の出力S5、ゲイン1 (G1) 及びゲイン2 (G2) のいずれか一つを選択するよう動作する。ここで、ゲイン1はゲイン2より増幅器1の利得を下げる量が大きくなる値とする。切替制御器8は、飽和検出器7aの出力S7aにより増幅器11aの出力が飽和されていることを検出すると、ゲイン1 (G1) を選択するように動作し、増幅器11aの出力が非飽和で、かつ増幅器11bの出力が飽和していることを検出した場合は、ゲイン2 (G2) を選択するよう動作する。

【0027】増幅器11a及び増幅器11bが共に非飽和である場合は、積分器5の出力を選択するよう動作する。増幅器11aの出力が飽和する場合は、入力信号S0のレベルが大きいため、増幅器の利得を大きく減じる必要がある。また、増幅器11aの出力が飽和せずに増幅器11bの出力が飽和する場合は、増幅器11aの出力が飽和する場合と比較して入力信号S0のレベルが小さいため、増幅器1の利得を減じる作用は少なくてもよい。しかしながら、増幅器11a及び11bが非飽和である場合と比較すると、入力レベルS0のレベルは大きい、増幅器1の利得を大きく減じる必要がある。

【0028】以上の理由により、増幅器11aまたは増幅器11bの出力が飽和している場合には、増幅器1の利得を減じる作用を大きくするゲイン1 (G1) またはゲイン2 (G2) を選択することで、S3とS40との差が所定の値以下になるまでの時間である収束時間の短縮が可能となる。積分器5のループ内にあるリミッタ54は、S5がDA変換器6の動作範囲内となるよう設けられている。

【0029】図5に、本発明の第3の実施例を示す。本実施例では、図に示すように、入力信号を増幅する増幅器1が増幅器11と増幅器12で構成され、増幅器1の出力の飽和の有無を検出する飽和検出器7と、飽和検出器7の出力S7に応じて予め設定したレベルの異なる複数のゲイン (本例では、A1、A2) の一つを選択する選択手段 (切り替え器) 53と、AD変換器2の出力S2の振幅を計算するレベル計算器3の出力S3と予め設定した基準レベルS40と飽和検出器7の出力S7に応じて選択されたゲインを基に利得制御量を求める演算器4を備えた構成である。

【0030】飽和検出器7の出力信号S7によってゲイン1 (A1) もしくはゲイン2 (A2) を選択するよう動作する。A1よりA2の値を大きくし、検出器7が増幅器11の飽和を検出した場合は、A1を選択し、それ以外のときはA2を選択することで、収束時間の短縮を実現する。

【0031】図6に、本発明の第4の実施例を示す。本実施例では、図に示すように、AD変換器2の出力S2の振幅を計算するレベル計算器3の出力S3と予め設定された飽和検出レベルとを比較する飽和検出器と、前記振幅と予め設定した基準レベルS40を基に利得制御量を求める演算器を備えた構成である。

【0032】飽和検出器7が、レベル計算器3の出力S3からAD変換器2の飽和を検出し、第1の実施例と同様に増幅器1の利得を直接制御することで、収束時間の短縮を実現している。

【0033】図7に、本発明の第5の実施例を示す。本実施例では、図に示すように、レベル計算器3の出力S3と予め設定された飽和検出レベルとを比較する飽和検出器7と、飽和検出器7の出力S7に応じて予め設定し

たレベルの異なる複数のゲイン（本例では、A1、A2）の一つを選択する切り替え器53と、前記振幅と予め設定した基準レベルS40と飽和検出器7の出力S7に応じて選択されたゲインを基に利得制御量を求める演算器を備えた構成である。

【0034】飽和検出器7が、レベル計算器3の出力からAD変換器2の飽和を検出し、第3の実施例と同様に、ゲイン1（A1）もしくはゲイン2（A2）を選択するよう動作することで、収束時間の短縮を実現している。

【0035】図8に、本発明の第4および第5の実施例における飽和検出器7bの動作の詳細を示す。

【0036】入力信号周波数より十分高速なサンプルレートをもちAD変換器2を備える場合においては、AD変換器2の出力S2が飽和している場合でもレベル計算器3の出力S3のレベルは異なる。図8の（a）および（b）に示すように、S1がAD変換器2のダイナミックレンジ110を超えてS2が飽和した場合においても、その飽和のレベルによりレベル変換器3の出力S3が異なる。検出レベルを超えた場合は切り替え器53を切り替え、利得を減じる量が大きくなるよう動作し、収束時間を短縮する。

【0037】図9は、本発明の自動利得制御回路を用いた無線LAN等の無線機器の受信系の一例を示したものである。

【0038】無線信号はアンテナ200を経由し、必要な周波数帯域の信号だけを後段に伝送するためにアンテナフィルタ201に入力される。一般に、無線で伝送された信号は微弱であるため、雑音に弱い。そのために、まず雑音の発生を押さえたローノイズアンプ202で増幅される。増幅された信号は、ミキサ203でベースバンド帯域もしくは中間周波数と呼ばれる無線信号の周波数より十分に低い周波数に変換される。ミキサ203の出力は、一般に不要な高調波が存在するため、バンドパスフィルタ204を用いて不要な成分を除去する。このバンドパスフィルタ204の出力振幅は、無線信号の入力振幅に比例したものとなる。そのため、バンドパスフィルタ204の出力をAD変換器2を用いてデジタル信号に変換しようとした場合、AD変換器入力端でAD変換器のダイナミックレンジに合わせた信号振幅を入力しないとAD変換器が有効に動作しないという問題が発生する。

【0039】そのため、本発明の自動利得制御回路205を用いて、AD変換器2に一定の振幅で信号が入力されるようにする必要がある。AD変換器でデジタル値に

変換された信号は、復調器206によって復調され、ローパスフィルタ207で波形整形された後、コンパレータ208で2値データとなって出力される。

【0040】このように、本発明を通信機器の受信系のようなシステムに用いることにより、自動利得制御回路の出力値が所定のレベルになるまでの収束時間を短縮化することが可能になるため、通信効率の大幅な向上が期待できることとなる。

【0041】すべての実施例において、レベル計算器3から積分器6に至るデジタル信号系は、マイコンやDSP（Digital Signal Processor）により実現してもよい。このように、本発明では、制御系のデジタル化によりIC化に適した自動制御回路を提供することができる。

【0042】

【発明の効果】本発明によれば、自動利得制御回路において、増幅器の出力段に飽和検出手段を設け、利得を下げる場合の収束時間を短縮することができ、通信効率を高めた通信機を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における自動利得制御回路の構成を示す図。

【図2】従来の自動利得制御回路の構成を示す図。

【図3】本発明の第1の実施例の動作の詳細を説明する図。

【図4】本発明の第2の実施例における自動利得制御回路の構成を示す図。

【図5】本発明の第3の実施例における自動利得制御回路の構成を示す図。

【図6】本発明の第4の実施例における自動利得制御回路の構成を示す図。

【図7】本発明の第5の実施例における自動利得制御回路の構成を示す図。

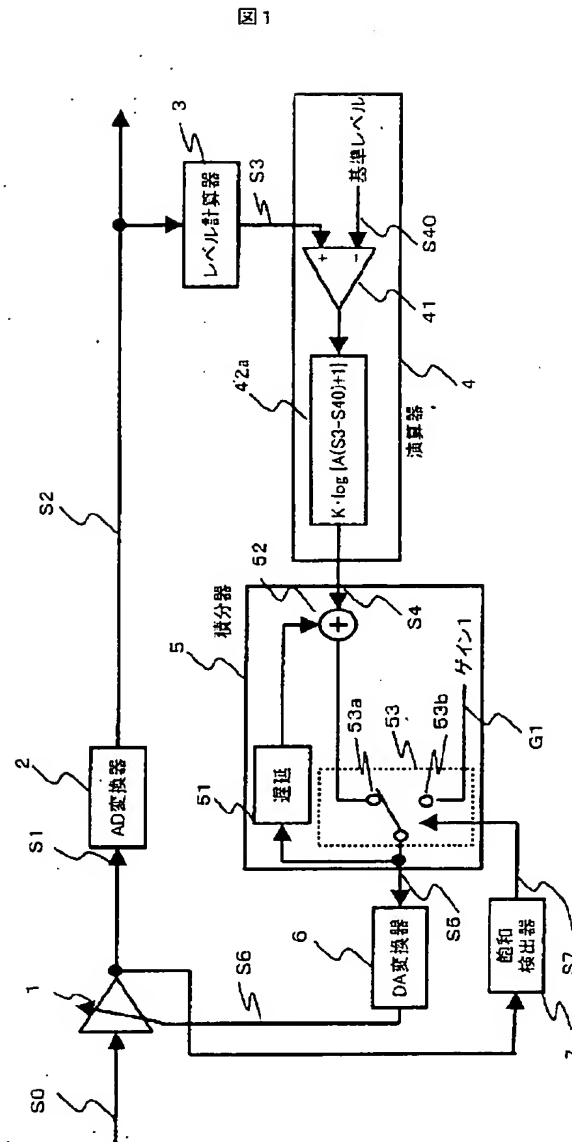
【図8】本発明の第4および第5の実施例の動作の詳細を説明する図。

【図9】本発明の自動利得制御回路に用いた無線LAN等の無線機器の受信系の一例を示す図。

【符号の説明】

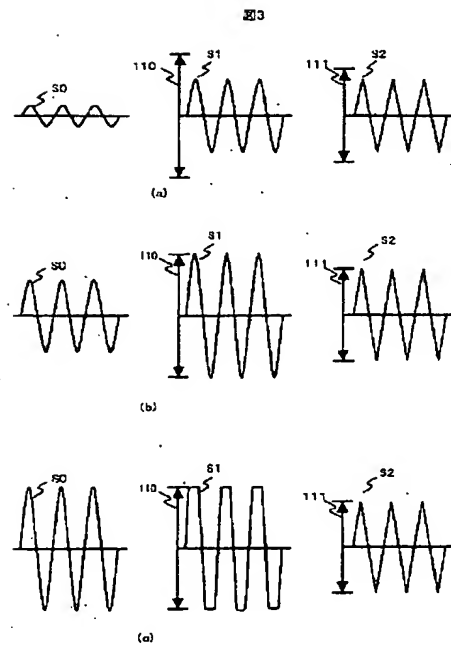
1…増幅器、2…AD変換器、3…レベル計算器、4…演算器、5…積分器、6…DA変換器、7、7a、7b…飽和検出器、11、11a、11b…増幅器、12、12a、12b…増幅器、30…レベル計算手段、31…対数変換手段、41…差分器、42…対数変換器、51…遅延器、52…加算器、53…切り替え器、54…リミッタ、100…ループフィルタ。

【図1】



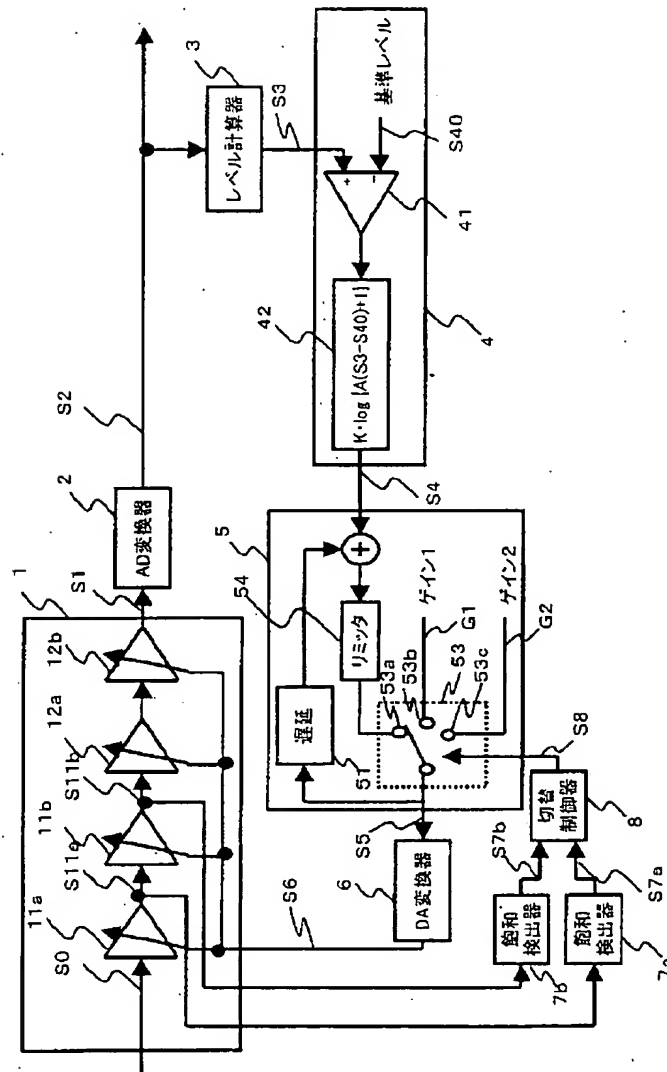


【図3】



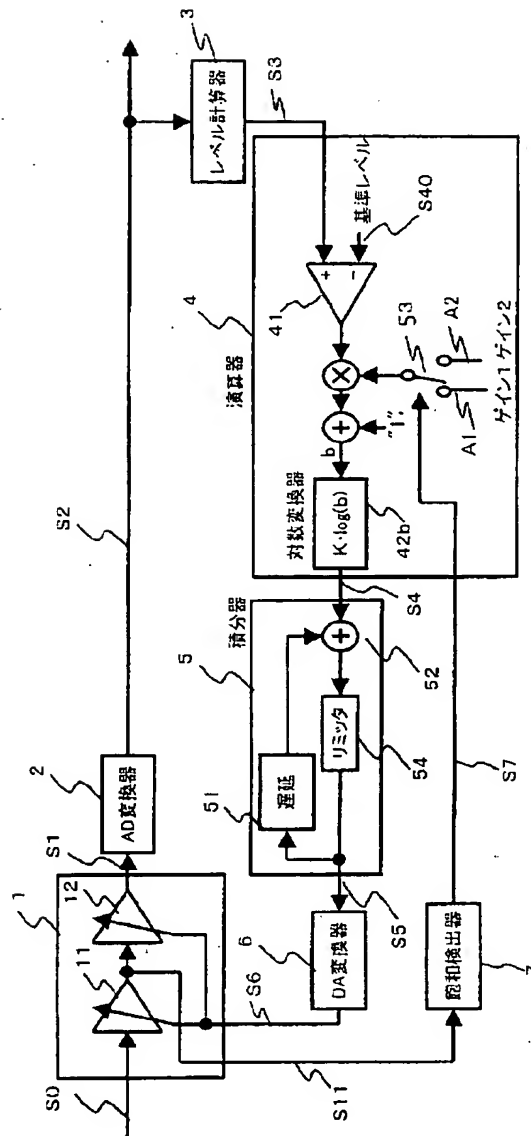
【図4】

図4



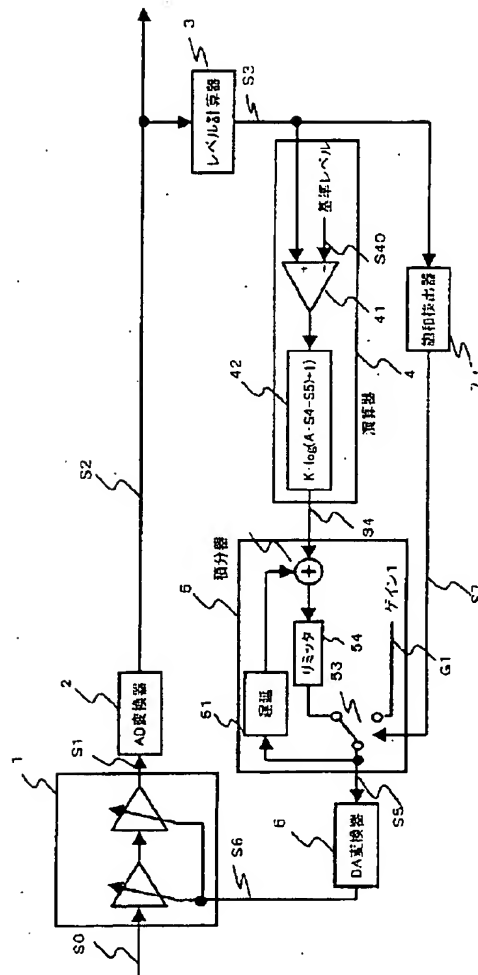
【図5】

图5

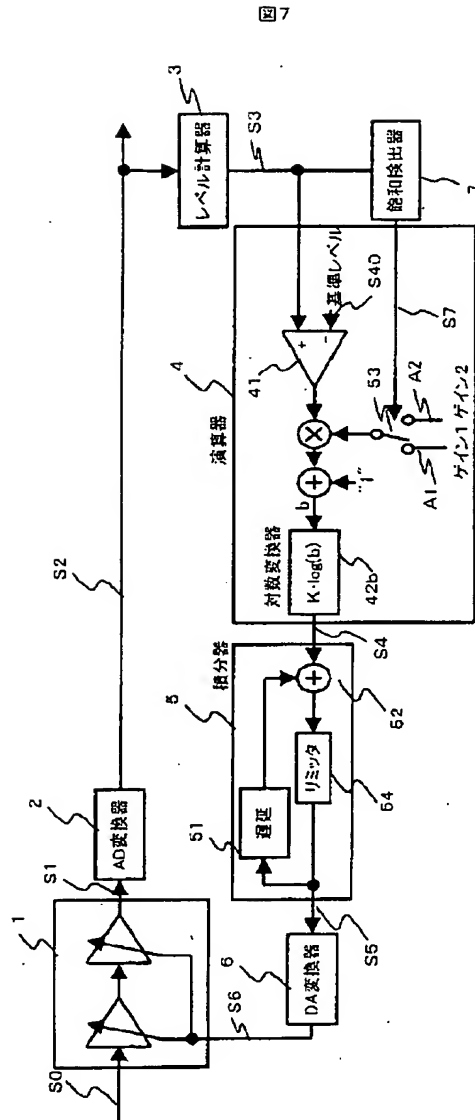


【図6】

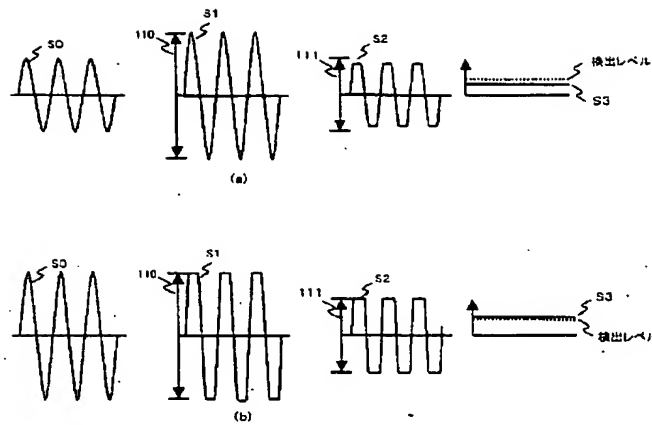
図6



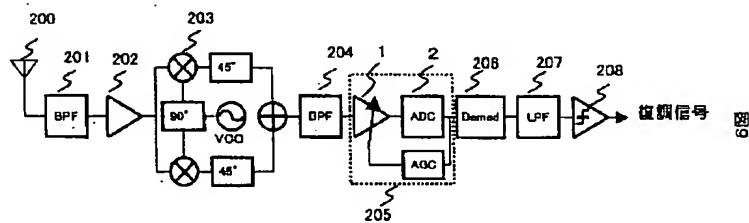
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 遠藤 武文
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 大崎 勝美
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
Fターム(参考) 5J100 JA01 KA05 LA00 LA01 LA04
LA07 LA08 LA09 LA10 LA11
QA01 SA02
5K061 AA00 CC52